

MY3004

Bluetooth 5.2 SoC

芯片规格书

©2022

免责声明：保留所有权利，禁止未经授权的传播，保留在不进一步通知任何产品的情况下进行更改的权利，以提高可靠性、功能或设计。

版本记录

Version	Date	Author(s)	Description
V1.0	2022.12.2	Door	Initial

ANS

目录

1	总体描述	5
1.1	概述	5
1.2	特性	5
1.3	框图	8
2	引脚定义	9
2.1	QFN 封装	9
2.1.1	QFN32	9
3	外设功能	10
3.1	GPIO	10
3.2	Cross Switch Connect	10
3.3	UART	10
3.4	I2C	11
3.5	SPI Master	11
3.6	SPI Slave	12
3.7	Timer	12
3.8	ADC	12
3.9	Smart DMA	13
4	I/O 功能复用与联接	14
4.1	PIN 说明与复用信号	14
4.2	功能联接	15
5	电气特性	16

6	参考设计.....	17
7	订购信息.....	18
8	封装信息.....	19
8.1	QFN32 4x4x0.75-P0.4 mm package.....	19

ANS

1 总体描述

1.1 概述

MY3004是一款超低功率、高性能和高集成的蓝牙 5.2 BLE + 2.4G 片上系统芯片，设计用于在 2360MHz 至 2520MHz 频段上运行。

采用先进的 CMOS 低漏电工艺制造，具有最高的集成度、最低的功耗、最低的漏电流和降低 BOM 成本，同时简化了整个系统设计。

1.2 特性

- 蓝牙BT 5.2 + 2.4GHz(私有协议) SoC
 - 支持 BLE 速率: 1Mbps、2Mbps
 - 灵敏度-96 dBm @1Mbps BLE 模式
 - 灵敏度-92 dBm @2Mbps BLE 模式
 - 发射功率 -40 dBm 至 6 dBm
 - 单端天线输出
 - 集成 balun
 - 支持 BLE Mesh
- RISC 32 位 MCU
 - 高性能 (64MHz)
- SMART 8通道DMA控制器
- CACHE
 - CACHE 支持范围 4KB

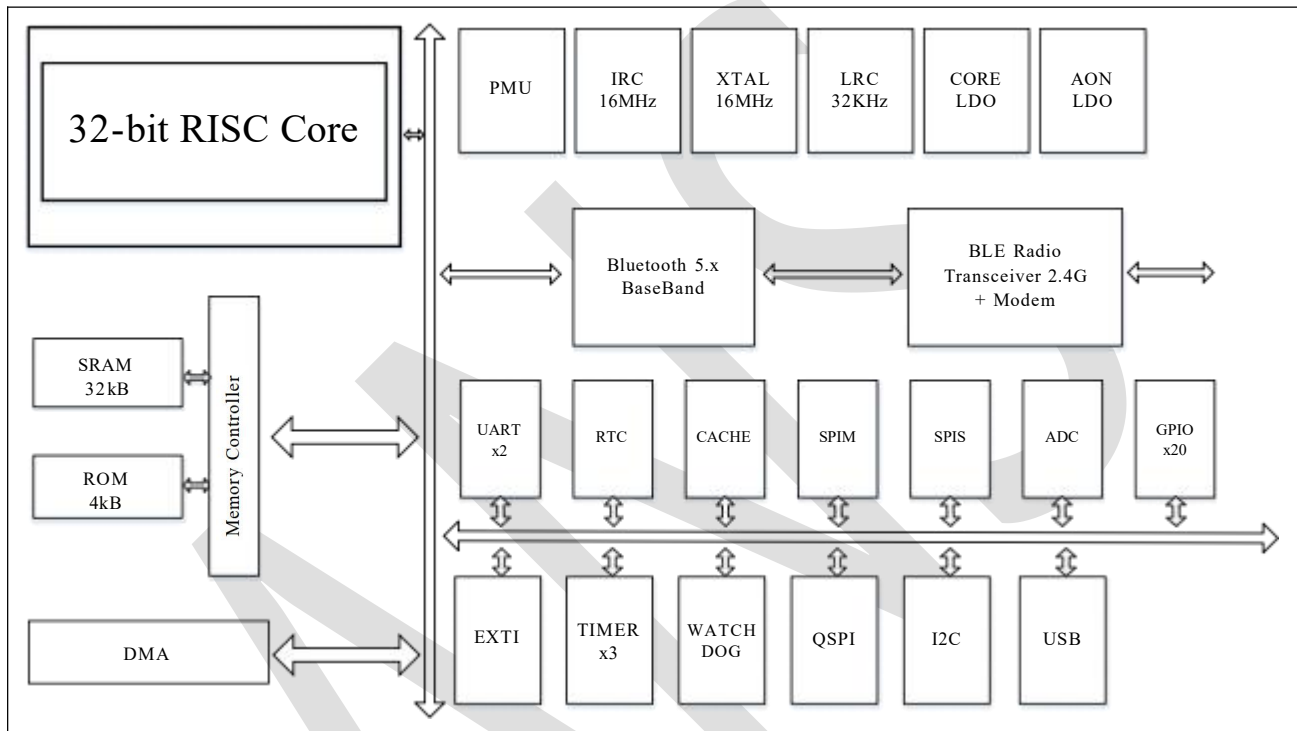
- USB
 - USB1.1 全速达到 12Mbps
 - 最大支持 5 个端点, 端点 1~4 支持同时收发
 - 所有端点的 FIFO 深度 64 字节
- 片上存储器
 - 4KB ROM
 - 最大 32KB SRAM
 - QFN32(SIP 256KB QSPI FLASH)
- 时钟源
 - 支持 16MHz 晶体振荡器(XTAL)
 - 内部高频 RC 振荡器(IRC) 16MHz +/- 2%
 - 内部低频 RC 振荡器的超低功率时钟(RC32K)
 - 内部高频 DPLL48M/64M 时钟
 - 支持外灌时钟
- 系统时钟(RTC)
 - 采用超低功耗技术运行
 - 由内部超低功耗 RC 运行
- 看门狗定时器
 - 由内部低功率 WDT 运行
- 计数器/定时器模块
 - 1 路 Advanced 16 位计数器/定时器(ATMR)
 - 1 路 Common 16 位计数器/定时器(CTMR)

支持 4 个独立通道，用于输入捕获、输出比较、PWM

- 1 路 Basic 16 位计数器/定时器(BTMR)
- 外设接口
 - 2 路 UART，支持 RS485/IrDA/ISO7816-3，速率可达 3.84Mbps
 - 1 路 SPI Master，最高速率可达 16Mbps
 - 1 路 SPI Slave，最高速率可达 16Mbps
 - 1 路 I2C 总线，可配主/从设备，支持快速模式速率可达 400Kbps
- 模拟-数字转换器(ADC)
 - 10 位精度，1Mbps ADC，10 个输入通道
 - 语音功能，支持 8K 采样率
- 通用I/O(GPIO)
 - 最大支持 20 个 GPIOs，每个 IO 都支持中断和唤醒功能
- 电源管理(PMU)
 - 集成 Power-On-Reset (POR)
 - 集成 Low-Voltage-Detect (LVD)，默认电压阈值 1.65V
- 电压范围
 - 工作电压 1.8V ~ 4.3V(由芯片型号定义)
- 电流功耗
 - 片上 LDO 稳压器
 - 44.7uA/MHz(@3.3Vwith 16M RC)
 - Deep sleep 模式下，70 uA @3.3V
 - Power off 模式下，2uA @3.3V

- BLE/2.4G 模式下, Tx 峰值电流 7.2mA (@1.8V 0dBm)
- BLE/2.4G 模式下, Rx 峰值电流 10.3mA (@1.8V)
- ESD 4500V
- 工作温度-40°C ~ 105°C

1.3 框图

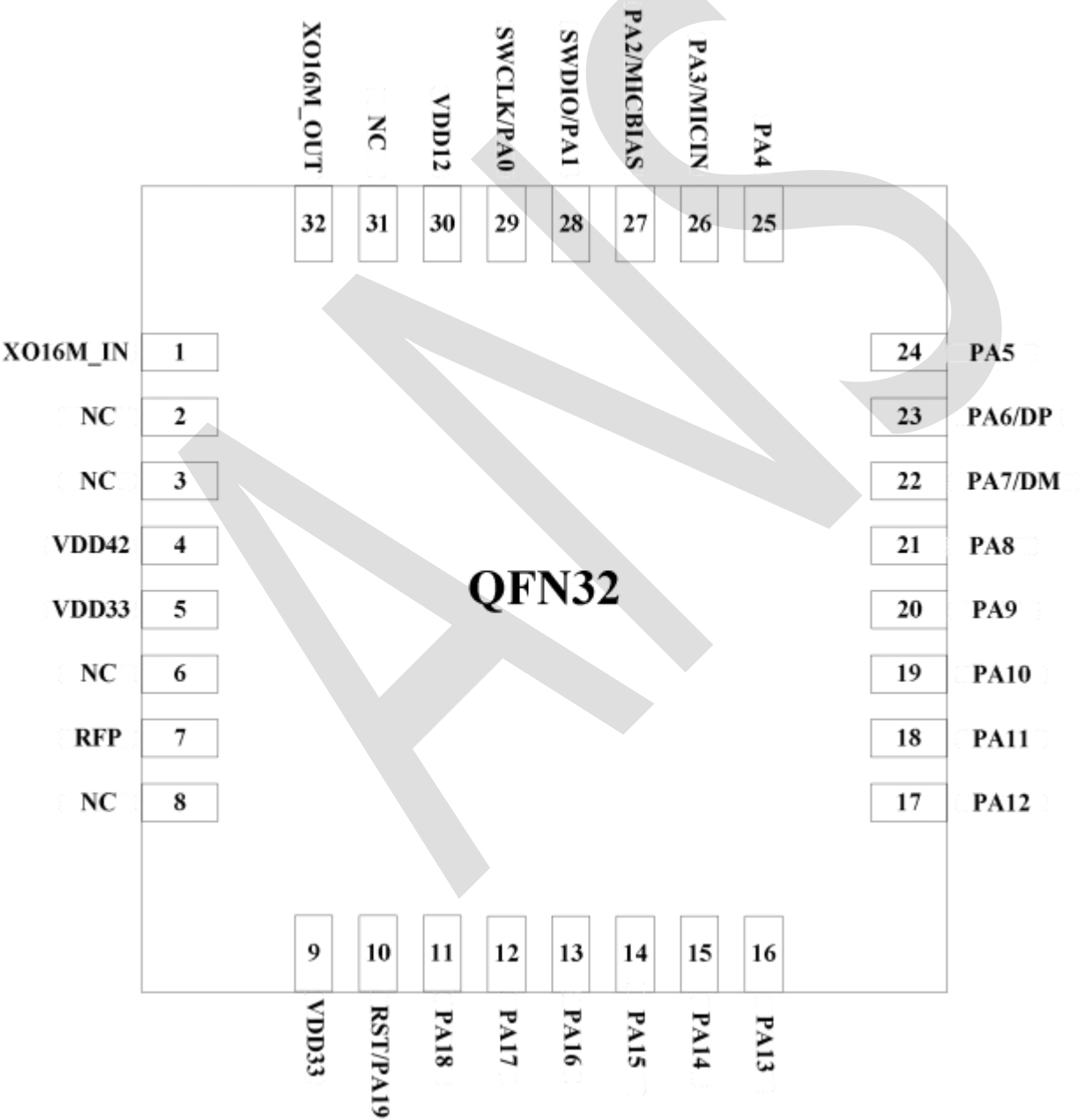


2 引脚定义

引脚功能说明请见第 4 节。

2.1 QFN 封装

2.1.1 QFN32



3 外设功能

3.1 GPIO

通用输入/输出（GPIO）被编成一个控制接口，最多有 20 个 I/O（取决于封装），可以通过一个端口访问和控制多达 20 个引脚，每个GPIO 都可以被单独访问。

- 多达 20 个 GPIO (QFN32)
- 输出模式可配置驱动强度
- 内部上拉和下拉电阻
- 所有引脚可配唤醒功能，上升沿或下降沿触发
- 所有引脚可配状态中断，上升沿、下降沿触发

3.2 Cross Switch Connect

- 灵活配置，SPI/UART/I2C 功能 PIN 脚可配所有 GPIOs

3.3 UART

- 全双工异步通信
- 支持单线半双工通信
- 16 字节深度 FIFOs(TX and RX)
- 支持速度可达 3.84Mbps
- 支持自动波特率
- 支持 DMA
- 支持硬件流控 CTS、RTS

- 支持 IrDA SIR, RS-485, ISO/IEC7816-3, LIN, Modbus

3.4 I2C

- 支持主从模式
- 支持快速模式，速率可达 400kbps
- 7 位和 10 位寻址模式
- 8 位 TX/RX 缓存器
- 硬件数据包错误检查(PEC)生成与验证

3.5 SPI Master

串行外设接口（SPI）是一种同步串行数据通信协议，以全双工模式运行。由一个主设备和一个或多个从设备组成。主服务器提供 SPI 时钟，从服务器从主服务器接收 SPI 时钟。

- 支持串行外设互连（SPI）主协议
- 支持 SPI 模式 0、1、2、3（基于 CPOL 和 CPHA）
- 支持全双工，支持单发或单收，8 位数据传输
- 当内核工作频率降低时，SPI 主频率速率以相同的比例降低
- 主模式速度可达 24Mbps
- 接收和发送各自独立的 4 个 Byte FIFO 缓冲区
- 支持 DMA 传输
- 支持传输已完成的中断
- 支持可配置的 MSB/LSB 数据传输

3.6 SPI Slave

- 支持串行外设互连（SPI）从协议
- 支持 SPI 模式 0、1、2、3（基于 CPOL 和 CPHA）
- 支持全双工，8 位数据传输
- 从模式速度可达 24Mbps
- 接收和发送各自独立的 4 个 Byte FIFO 缓冲区
- 支持 DMA 传输
- 支持传输已完成的中断
- 支持可配置的 MSB/LSB 数据传输

3.7 Timer

一共 3 路计数器/计时器

- 1 路高级定时器：支持 4 个独立通道，用于输入捕捉、输出比较、PWM 和单脉冲输出；死区时间；中断功能；ETR 功能
- 1 路通用定时器：支持 4 个独立通道，用于输入捕捉、输出比较、PWM 和单脉冲输出；ETR 功能
- 1 路基本定时器：

3.8 ADC

10 位精度 ADC，10 个输入通道，采样率可达 1Mbps

- 支持时钟分频 1~ 1024
- 支持硬件自校准

- 支持单次转换模式或连续模式
- 支持 DMA 读取数据功能
- 支持 ATMR1定时触发 SADC 采样模式
- 支持通道轮转功能
- 语音功能，采样率 8K
- 支持电源电压采集
- 支持多达 10 个通道的单端输入
- 数据宽度为 10 位，有效位宽可达 9 位

3.9 Smart DMA

- 8 通道 DMA
- 每个 DMA 通道都有一个可编程的优先级别
- 每个优先级使用一个固定的优先级进行仲裁，该优先级由 DMA 通道号决定
- 支持多种传输类型：
 - memory-to-memory
 - memory-to-peripheral
 - peripheral-to-memory
- 单个 DMA 周期内的传输数量可以从 1 到 1024 进行编程

4 I/O 功能复用与联接

4.1 PIN 说明与复用信号

PIN	NAME	Default	Function 0	Function 1	Function 2	Function 3	Function Analog
QFN 32			GPIO	CSC	SPECIAL	TIMER	Analog
	GND	--	--	--	--	--	--
4	VDD42	--	--	--	--	--	--
5,9	VDD33 ^①	--	--	--	--	--	--
7	RFP	--	--	--	--	--	--
10	RSTn/PA19	RSTn	PA19	CSC	--	--	--
11	PA18	GPIO	PA18	CSC	--	CTMR1_CH4	--
12	PA17	GPIO	PA17	CSC	--	CTMR1_CH3	--
13	PA16	GPIO	PA16	CSC	--	CTMR1_CH2	ANAI06
14	PA15	GPIO	PA15	CSC	--	CTMR1_CH1	ANAI05
15	PA14	GPIO	PA14	CSC	--	ATMR1_ETR	ANAI04
16	PA13	GPIO	PA13	CSC	--	ATMR1_CH3N	ANAI02
17	PA12	GPIO	PA12	CSC	--	ATMR1_CH2N	ANAI01
18	PA11	GPIO	PA11	CSC	--	ATMR1_CH1N	ANAI00
19	PA10	GPIO	PA10	CSC	--	ATMR1_CH4P	ANAI09
20	PA9	GPIO	PA9	CSC	--	ATMR1_CH3P	ANAI08
21	PA8	GPIO	PA8	CSC	--	ATMR1_CH2P	ANAI07
22	PA7/DM ^②	GPIO	PA7	CSC	--	ATMR1_CH1P	ANAI06
23	PA6/DP ^③	GPIO	PA6	CSC	--	ATMR1_BK	ANAI05
24	PA5	GPIO	PA5	CSC	--	CTMR1_CH4	ANAI04
25	PA4	GPIO	PA4	CSC	--	CTMR1_CH3	ANAI03
26	PA3/MICIN	GPIO	PA3	CSC	--	CTMR1_CH2	MICIN
27	PA2/MICBIAS ^④	GPIO	PA2	CSC	--	CTMR1_CH1	ANAI02
28	PA1/SWDIO	SWDIO	PA1	CSC	SWDIO	CTMR1_ETR	ANAI01
29	PA0/SWCLK	SWCLK	PA0	CSC	SWCLK	--	ANAI00
30	VDD12	--	--	--	--	--	--
32	XO16M_O	--	--	--	--	--	--
1	XO16M_I	--	--	--	--	--	--

① QFN32封装有两个VDD33 PIN: PIN5为VDD33_1, PIN9为VDD33_2, 片内VDD33_1与VDD33_2连通

② USBDM功能的PAD与PA7绑定, 使用DM功能时, 需要将PA7配置为高阻状态

③ USB DP功能的PAD与PA6绑定, 使用DP功能时, 需要将PA6配置为高阻状态

④ 语音 MICBIAS功能的PAD与PA2绑定, 使用MICBIAS功能时, 需要将PA2配置为高阻状态

NAME	EXPLANATION
PA00~PA19	GPIOs (High Level)
SWCLK	Debug Clock Pin
SWDIO	Debug Data Pin (High Level)
DP	USB Data Positive
DM	USB Data Minus
MICBIAS	MIC output voltage
MICIN	MIC signal input
RFP	RF Antenna Posedge
XO16M_O	Crystal oscillator 16M Output
XO16M_I	Crystal oscillator 16M Input
CTMR1_CH1~ CTMR1_CH4	4 Channels Common Timer1 PWC Input / PWM Output
ATMR_ETR /CTMR1_ETR	Advanced Timer/Common Timer External Trigger
ATMR_BK	Advanced Timer1 Break Input
ATMR_CH1P~ ATMR_CH4P	4 Channels Advanced Timer Positive PWC Input / PWM Output
CSC	GPIO Function Multiplexing
AINIO0~AINIO9	ADC Input
VDD12	Digital core voltage output 1.2V
VDD33	voltage input 3.3V
VDD42	voltage input 4.2V

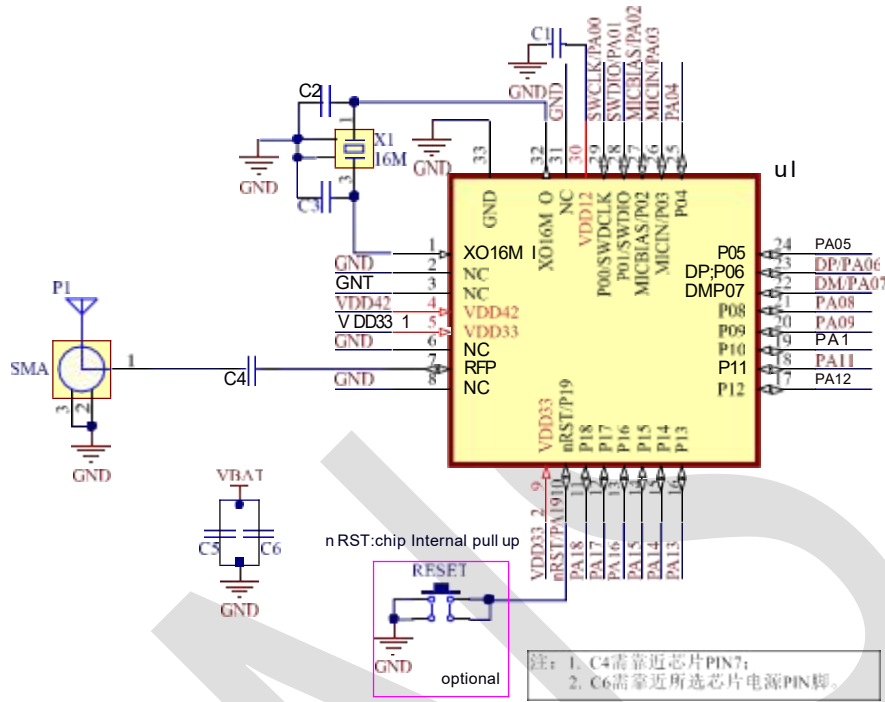
4.2 功能联接

交叉开关连接（CSC）以高度灵活的方式控制每个 GPIO 引脚的功能，允许将许多功能如 UART、SPI 和 I2C 功能连接到 GPIO 的任何引脚上。

5 电气特性

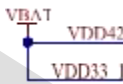
Name	Parameter (Condition)	Min	Typical	Max	Unit
电源 (Power Supplies)					
VDD33	3.3v voltage input	1.8	3.3	3.6	V
VDD42	4.2v voltage input	2.7		4.2	V
温度 (Temperature)					
TEMP	Temperature	-40	25	105	°C
I/O 端口电气特性(I/O port characteristics)					
VIH	High Level (VDD _{IN} = VDD33/VDD42/VDD50)		0.7		VDD33
VIL	Low Level (VDD _{IN} = VDD33/VDD42/VDD50)		0.3		VDD33
VOH	High Level (VDD _{IN} = VDD33/VDD42/VDD50)		0.7		VDD33
VOL	Low Level (VDD _{IN} = VDD33/VDD42/VDD50)		0.3		VDD33
R _{pu}	Weak pull-up equivalent resistor		64		KΩ
R _{pd}	Weak pull-down equivalent resistor		68		KΩ
电流功耗 (Current Consumption)					
IVDD	Deep sleep mode with 32KB SRAM, can be waked up by RTC, wake-up pin & Pin RST (With 32K RC @3.3V)		70		uA
IVDD	Power off mode with 8KB SRAM retention, can be waked up by RTC, wake-up pin & Pin RST (With 32K RC @3.3V)		2		uA
IVDD	Power off mode with 8KB SRAM retention, can be waked up by wake-up pin & Pin RST (Without 32K RC @3.3V)		1.7		uA
IVDD	Power off mode without SRAM retention, can be waked up by wake-up pin & Pin RST (Without 32K RC @3.3V)		1		uA
IVDD	RX mode, BLE & 2.4G mode, 100% ON (@1.8V)		7.2		mA
IVDD	TX mode, BLE & 2.4G mode, 100% ON (@1.8V)		10.3		mA
IVDD	Advertising mode: interval 500ms (@1.8V 0dBm)		51		uA
IVDD	Link mode: interval 500ms (@1.8V)		38		uA
RF 射频 (Normal RF Condition)					
FOP	Operating Frequency	2360		2520	MHz
FXTAL	Crystal Frequency		16		MHz

6 参考设计



供电电压1: 1.8V~3.6V

方式1:



注: V DD33_2悬空。

方式2:



注: 片内V DD33_1与V DD33_2直通。

供电电压2(锂电池): 3.3~4.3V



注: V DD33悬空。

Designator	Value	Description	Footprint
C2,C3	NC		
C4	2.2pF	Capacitor, X7R, ±10%	0402
C5	4.7uF	Capacitor, X7R, ±10%	0402
C1,C6	100nF	Capacitor, X7R, ±10%	0402
X1	16MHz	XTAL SMD 3225, 16MHz, Cl=9 pF, 40Ω, ±10ppm	Seam Seal 3225

7 订购信息

Ordering Code	FLASH (bytes)	Package	Size(mm)	Carrier Type	Pack Quantity
MY3004	256KB	QFN32	4x4	Tape and Reel	5000

8 封装信息

8.1 QFN32 4x4x0.75-P0.4 mm package

